

Docket No.: 60188-051

4 / Priority  
Doc.  
C. Willis  
11-5-01

PATENT

J1036 U.S. PTO  
09/837450  
04/19/01

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Satoshi ISHIKURA, et al. :  
Serial No.: : Group Art Unit:  
Filed: April 19, 2001 : Examiner:  
For: SEMICONDUCTOR DEVICE :

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-389753,  
filed December 22, 2000

A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:klm  
**Date: April 19, 2001**  
Facsimile: (202) 756-8087

60188-051  
APRIL 19, 2001

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

ISHIKURA et al.  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

J1036 U.S. PRO  
09/837450  
04/19/01

出 願 年 月 日

Date of Application:

2000年12月22日

出 願 番 号

Application Number:

特願2000-389753

出 願 人

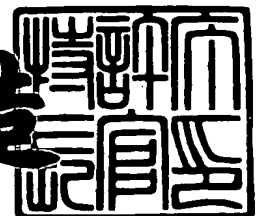
Applicant(s):

松下電器産業株式会社

2001年 1月19日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3113867

【書類名】 特許願

【整理番号】 5037620143

【提出日】 平成12年12月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 石倉 聡

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 飯島 行雄

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 水口 信明

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された、トランジスタのソース・ドレイン電極用拡散層と、

前記基板上に形成されたダミー拡散層とを備え、

前記ソース・ドレイン電極用拡散層は、その表面がシリサイド化されており、

前記ダミー拡散層は、その表面の少なくとも一部が、前記トランジスタのゲート電極と同一構造からなるダミーゲート電極によって覆われている

ことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記ダミー拡散層は、一の回路ブロックと他の回路ブロックとの間に形成されており、

前記ダミーゲート電極は、前記一の回路ブロックと前記他の回路ブロックとの間において、分割して配置されている

ことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記ダミーゲート電極は、その電位が、固定されている

ことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、

前記ダミー拡散層は、

前記ソース・ドレイン電極用拡散層に注入されている不純物が、注入されていない

ことを特徴とする半導体装置。

【請求項 5】 基板と、

前記基板上に形成された、トランジスタのソース・ドレイン電極用拡散層と、

前記基板上に形成されたダミー拡散層とを備え、

前記ソース・ドレイン電極用拡散層およびダミー拡散層は、その表面がシリサイド化されており、

前記ダミー拡散層は、

前記基板上に形成された第 1 導電型のウェル内に形成されており、かつ、前記第 1 導電型とは逆の第 2 導電型の不純物が注入されていることを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、

前記ダミー拡散層は、その電位が、固定されていることを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

前記ダミー拡散層は、当該ダミー拡散層および前記ウェルによって構成された P N 接合ダイオードに逆バイアス電圧がかかるような電位に、固定されていることを特徴とする半導体装置。

【請求項 8】 請求項 6 記載の半導体装置において、

前記ダミー拡散層は、複数の部分に分割して形成されており、前記ダミー拡散層の各部分は、当該ダミー拡散層と同一層に形成されたシリサイド拡散層配線によって、互いに接続されていることを特徴とする半導体装置。

【請求項 9】 第 1 導電型の基板と、

前記基板上に形成され、かつ、その表面がシリサイド化された、トランジスタのソース・ドレイン電極用拡散層と、

前記基板上に形成された、前記第 1 導電型とは逆の第 2 導電型の第 1 のウェルと、

前記第 1 のウェル内に形成され、かつ、一の回路ブロックと他の回路ブロックとの間に形成されたダミー拡散層と、

前記第 1 のウェルと、前記一または他の回路ブロックとの間に形成された、前記第 1 導電型の第 2 のウェルとを備えたことを特徴とする半導体装置。

【請求項 1 0】 請求項 9 記載の半導体装置において、

前記第 1 および第 2 のウェルは、当該第 1 および第 2 のウェルによって構成された P N 接合ダイオードに逆バイアス電圧がかかるような電位に、それぞれ固定

されている

ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置のノイズ対策に関するものであり、特に、STI (Shallow Trench Isolation) 分離とシリサイド化拡散層を有する半導体装置に、ディッシング対策などを目的としたダミー拡散層を生成した場合における、ノイズ回避技術に属する。

【0002】

【従来の技術】

従来の半導体集積回路では、拡散層分離としてはLOCOS分離が一般に用いられた。しかしながら、0.25～0.18 $\mu$ m世代のLSIから、より微細なパターン加工を行うために、STIプロセスが多く用いられている。

【0003】

またその一方で、シリサイド化技術も多く用いられ始めている。シリサイド化とは、拡散層やゲート電極の上面に対してチタンやコバルト等との合金化処理を施すプロセス技術である。シリサイド化が採用された理由としては、まず1つは、プロセス微細化によって拡散層、ゲート電極、コンタクト等の断面積が縮小したため、寄生抵抗を抑制する必要性が強まってきたこと、もう1つは、デュアルゲートプロセスにおいて、P型ゲートーN型ゲート間のダイオードの両電極を「裏打ち」する必要があること、が挙げられる。「裏打ち」とは、低抵抗な導体を並列に接続することをいう。

【0004】

裏打ちの必要性について、さらに説明を加える。

【0005】

従来の5V～3V電源電圧世代のプロセスでは、P型トランジスタは埋め込みチャネル、N型トランジスタは表面チャネルとし、トランジスタのゲート電極にN型ポリシリコンを用いるデバイス構造が一般的であった。ところが、近年、L



S I の電源電圧が  $3.3\text{V} \rightarrow 2.5\text{V} \rightarrow 1.8\text{V} \rightarrow 1.5\text{V} \rightarrow \dots$  と、およそ 2 年毎の非常なハイペースで低電圧化されている。そして、電源電圧が低下しても、多くの場合、スタンバイ電流を抑制しつつ、高い駆動電流が求められる。このようなニーズに対応するためには、P 型トランジスタも N 型トランジスタと同様に表面チャネルとしたデュアルゲートプロセスを採用することが好ましい。

## 【0006】

ところが、デュアルゲート化のためには、N 型トランジスタのゲート電極は N 型で、P 型トランジスタのゲート電極は P 型で形成する必要がある、このため、P 型ゲートと N 型ゲートとの接続部分に P N 接合ダイオードが形成されてしまう。ダイオードが介在すると、信号電位がフルスイングせず、正常なデジタル L S I の設計が極めて困難となる。

## 【0007】

そこで、対応策として、ゲート電極上にシリサイド低抵抗配線を設けて「裏打ち」を行う。これにより、設計者がレイアウト段階で一々配線層によって裏打ちを行う必要がなくなり、設計効率が向上する。また、セル面積の縮小や配線層の利用率向上等の利点もあるので、デュアルゲートプロセスにおいてシリサイド化工程を採用する動きが主流となっている。

## 【0008】

図 1 5 は S T I 形成およびシリサイド化を行う半導体装置の製造プロセスの概略フローであり、図 1 6 は図 1 5 のプロセス過程における半導体装置の概略構造を示す断面図である。

## 【0009】

まず、S T I 形成工程 S 1 1 において、拡散層領域定義マスクを用いて、エッチングによって、シリコン基板 1 0 0 上の素子分離形成領域 1 0 1, 1 0 2 を所定深さまで掘り込む（図 1 6 (b)）。次にその凹部分に、分離領域形成用酸化膜 1 0 3 を埋め込む（図 1 6 (c)）。そして、CMP (Chemical Mechanical Polishing : 化学的機械的研磨) によって、埋め込み部分よりも上に位置する酸化膜 1 0 3 を研磨除去して基板表面を平坦化する（図 1 6 (d)）。

## 【0010】

この場合、CMP研磨パッドが若干の弾性を有するために、大面積の素子分離領域102があると、その中央付近の素子分離用酸化膜103がCMP研磨パッドによって削られすぎてしまい、その高さが低くなり過ぎるおそれがある（図16（d）のd）。この不具合を、CMP工程におけるディッシングと呼ぶ。ここで生じた段差すなわちディッシング段差dは、後のリソグラフィ工程において、焦点深度不足によるパターン形成不良やトランジスタ特性変動などを招く要因となる。このため、CMP工程において、ディッシング段差dが生じないようにする必要がある。

#### 【0011】

ディッシング対策としては、例えばプロセス的には、より硬いCMP研磨パッドを用いるといった方策も考えられるが、図16（b）に示すように、レイアウト設計段階で、大面積分離領域102に、本来の用途であるトランジスタのソースドレイン電極としては用いないダミー拡散層105を配置する手法が有効である。すなわち、図16の右側の概略図に示すように、ダミー拡散層105の存在によって研磨パッドの入り込みが抑えられ、ディッシング段差dの発生が抑制される。

#### 【0012】

その後、ゲート電極形成工程S12（図16（e））、ソースドレイン注入工程S13（図16（f））、および拡散層やポリシリコンゲート電極に対するシリサイド化工程S14（図16（g））を実施してバルク部分の工程が終了し、後の配線工程S15を経てLSIが完成する。

#### 【0013】

##### 【発明が解決しようとする課題】

上述のように、ダミー拡散層は、STI形成時のCMPディッシング対策としてきわめて有効である。また、ダミー拡散層は、リソグラフィやエッチングといったSTI形成以外の工程においても有効な場合があり得る。例えば、微細な拡散層パターンを、リソグラフィ工程において正確にパターンニングするために、所定の領域内の拡散層面積率が予め規定された範囲内に入ることが、プロセス制約条件として求められる場合がある。このような場合、拡散層面積率が規定範囲

内になるように、ダミー拡散層を配置する可能性がある。

【 0 0 1 4 】

しかしながら、本願発明者は、実験や試作などを通して、このようなダミー拡散層が、場合によっては、回路ブロック間のノイズ伝搬を助長する可能性がある、という問題を発見するに至った。

【 0 0 1 5 】

以下、本願発明の課題についての本願発明者の考察結果について、図 1 7 ～ 図 1 9 を用いて説明する。

【 0 0 1 6 】

図 1 7 に示すように、ノイズの影響を受けやすいアナログブロック 5 0 と、高速動作して多くのノイズを発生させるデジタルブロック 5 1 とを、同一の基板上に構成する場合を考える。この場合、デジタルブロック 5 1 からの基板経由伝搬ノイズを抑制するために、P 型基板 5 2 および P 型ウェル 5 3 からなる抵抗が大きくなるように、アナログブロック 5 0 を、デジタルブロック 5 1 から遠く離して配置する。すなわち、アナログブロック 5 0 とデジタルブロック 5 1 との間に大面積の素子分離領域 5 4 が形成される。

【 0 0 1 7 】

一般的な L S I では、P 型ウェル 5 3 におけるシート抵抗値は、数百から数千  $\Omega / \square$  程度である。よって、アナログブロック 5 0 とデジタルブロック 5 1 との間隔を十分大きく開けることによって、P 型基板 5 2 および P 型ウェル 5 3 からなる抵抗の値を比較的大きな値にすることができる。

【 0 0 1 8 】

しかしながら、上述したように、S T I 形成時の C M P 工程において、大面積の素子分離領域 5 4 にはディッシングが生じるおそれがある。このディッシングを防止するために、図 1 8 に示すように、大面積素子分離領域にダミー拡散層 5 5 を挿入する。これにより、ディッシングの発生を未然に防止することが可能になる。

【 0 0 1 9 】

ところが、このダミー拡散層 5 5 は、他の拡散層およびゲート電極のシリサイ

ド化処理を実行したとき、その表面がシリサイド化される。この結果、ダミー拡散層 5 5 は、合金化処理されずに残った部分 5 5 a の上にシリサイド化層 5 5 b が付いた構造となる。そして、このダミー拡散層上シリサイド層 5 5 b を通過する低インピーダンスのノイズ伝搬パス N Z b が、アナログブロック 5 0 とデジタルブロック 5 1 との間に新たに生じる。

#### 【 0 0 2 0 】

図 1 9 はブロック間のノイズ伝搬経路を示すモデル回路図であり、同図中、( a ) は図 1 7 の構造に対応し、( b ) は図 1 8 の構造に対応する。図 1 9 ( a ) に示すように、図 1 7 の構造では、アナログブロック 5 0 とデジタルブロック 5 1 との間には、P 型基板 5 2 および P 型ウェル 5 3 を経由するノイズ伝搬パス N Z a のみが形成され、このノイズ伝搬パス N Z a は、比較的大きなブロック間抵抗 R 1 を有する。

#### 【 0 0 2 1 】

これに対して、図 1 9 ( b ) に示すように、図 1 8 の構造では、アナログブロック 5 0 とデジタルブロック 5 1 との間には、ノイズ伝搬パス N Z a の他に、ダミー拡散層上シリサイド層 5 5 b を通過するノイズ伝搬パス N Z b が形成される。そして、アナログブロック 5 0 とデジタルブロック 5 1 との間が、抵抗 R 1 と比べて比較的低い抵抗値を持つ抵抗 R 2 によって並列に接続される。シート抵抗の概算値で見ると、シリサイド層が数  $\Omega$  / 口、P 型ウェルは数百～数千  $\Omega$  / 口程度であるので、そのインピーダンスには 2 ～ 3 桁程度の大きな差がある。

#### 【 0 0 2 2 】

このため、たとえアナログブロック 5 0 とデジタルブロック 5 1 との間隔を大きく空けて、P 型基板 5 2 および P 型ウェル 5 3 からなる抵抗 R 1 を大きくしたとしても、ダミー拡散層上シリサイド層 5 5 b からなる抵抗 R 2 が並列に裏打ち挿入されることによって、デジタルブロック 5 1 とアナログブロック 5 0 との間のインピーダンスは、大幅に下がることになる。

#### 【 0 0 2 3 】

これにより、デジタルブロック 5 1 の V S S 電源系で発生したノイズが、ダミー拡散層シリサイド層 5 5 b を経由してアナログブロック 5 0 近辺へと伝搬し、

再度P型基板52を経由してアナログブロック50のVSS電源系にノイズを与える。これにより、ノイズの影響を受けやすいアナログブロック50の誤動作や特性劣化を引き起こす。

【0024】

また、シリサイド化されたダミー拡散層は、図18のような構造の場合にのみ、ノイズ伝搬を助長するだけではなく、他のさまざまな構造の半導体装置においても、ノイズの問題を引き起こす。例えば、2つの回路ブロック同士がN型ウェルでつながっている場合や、同一ブロック内においても、同様のノイズ問題を引き起こす可能性がある。

【0025】

前記の問題に鑑み、本発明は、基板上にダミー拡散層が形成された半導体装置において、そのダミー拡散層がノイズの伝搬を助長しないようにし、ノイズ耐性を向上させることを課題とする。

【0026】

【課題を解決するための手段】

前記の課題を解決するために、本発明が講じた解決手段は、半導体装置として、基板と、前記基板上に形成されたトランジスタのソース・ドレイン電極用拡散層と、前記基板上に形成されたダミー拡散層とを備え、前記ソース・ドレイン電極用拡散層はその表面がシリサイド化されており、前記ダミー拡散層は、その表面の少なくとも一部が、前記トランジスタのゲート電極と同一構造からなるダミーゲート電極によって覆われているものである。

【0027】

この発明によると、ダミー拡散層が、ダミーゲート電極によって覆われているためにシリサイド化されず、このため、このダミー拡散層が形成された部分のインピーダンスを高く保つことができる。これにより、ダミー拡散層が形成された半導体装置のノイズ耐性を向上させることができる。また、ダミーゲート電極の形成は、通常のトランジスタのゲート電極の形成と併せて実行可能であるので、新規の製造工程を追加する必要がない。

【0028】

そして、前記ダミー拡散層は、一の回路ブロックと他の回路ブロックとの間に形成されており、前記ダミーゲート電極は、前記一の回路ブロックと前記他の回路ブロックとの間において分割して配置されているのが好ましい。これにより、ダミーゲート電極が回路ブロック間で分割して配置されているので、ノイズがダミーゲート電極を伝搬することがなく、半導体装置のノイズ耐性がさらに向上する。

## 【 0 0 2 9 】

また、前記ダミーゲート電極は、その電位が固定されているのが好ましい。これにより、ダミーゲート電極を介した伝搬を抑制することができる。

## 【 0 0 3 0 】

また、前記ダミー拡散層は、前記ソース・ドレイン電極用拡散層に注入されている不純物が注入されていないのが好ましい。これにより、ダミー拡散層の抵抗値がソース・ドレイン電極用拡散層よりも高くなるので、ノイズ耐性がさらに向上する。

## 【 0 0 3 1 】

また、前記の課題を解決するために、本発明が講じた解決手段は、半導体装置として、基板と、前記基板上に形成されたトランジスタのソース・ドレイン電極用拡散層と、前記基板上に形成されたダミー拡散層とを備え、前記ソース・ドレイン電極用拡散層およびダミー拡散層はその表面がシリサイド化されており、前記ダミー拡散層は、前記基板上に形成された第 1 導電型のウェル内に形成されており、かつ前記第 1 導電型とは逆の第 2 導電型の不純物が注入されているものである。

## 【 0 0 3 2 】

この発明によると、第 1 導電型のウェルと第 2 導電型の不純物が注入されたダミー拡散層とによって、空乏層容量を有する P N 接合ダイオードが形成される。このため、電気的には、シリサイド化されたダミー拡散層表面は基板側からみえにくくなり、ノイズ伝搬が抑制される。

## 【 0 0 3 3 】

そして、前記ダミー拡散層は、その電位が固定されているのが好ましい。これ

により、たとえ、ACノイズがPN接合ダイオードを介して伝搬したとしても、シリサイド化されたダミー拡散層のノイズ伝搬は抑制される。

【0034】

さらに、前記ダミー拡散層は、当該ダミー拡散層および前記ウェルによって構成されたPN接合ダイオードに逆バイアス電圧がかかるような電位に、固定されているのが好ましい。これにより、半導体装置のノイズ耐性をさらに向上させることができる。

【0035】

また、前記ダミー拡散層は、複数の部分に分割して形成されており、前記ダミー拡散層の各部分は、当該ダミー拡散層と同一層に形成されたシリサイド拡散層配線によって互いに接続されているのが好ましい。これにより、ダミー拡散層の電位を固定するためには、ダミー拡散層の一部を金属配線と接続するだけでよいので、ダミー拡散層上方の金属配線層を有効に活用することができる。したがって、配線距離短縮による高性能化やレイアウト効率向上による小面積化が可能となる。

【0036】

また、前記の課題を解決するために、本発明が講じた解決手段は、半導体装置として、第1導電型の基板と、前記基板上に形成され、かつその表面がシリサイド化されたトランジスタのソース・ドレイン電極用拡散層と、前記基板上に形成された前記第1導電型とは逆の第2導電型の第1のウェルと、前記第1のウェル内に形成され、かつ一の回路ブロックと他の回路ブロックとの間に形成されたダミー拡散層と、前記第1のウェルと前記一または他の回路ブロックとの間に形成された前記第1導電型の第2のウェルとを備えたものである。

【0037】

この発明によると、ダミー拡散層の周囲に、第1導電型の基板と第2導電型の第1のウェルとによってPN接合ダイオードが形成される。また、回路ブロック内のダミー拡散層側に第2導電型のウェルが形成されている場合には、このウェルと第1導電型の第2のウェルとによってPN接合ダイオードが形成される。このため、たとえダミー拡散層上部がシリサイド化されていても、基板側からの電

氣的経路はPN接合ダイオードの空乏層容量を経由するため、ノイズが伝搬しにくくなる。したがって、ダミー拡散層が形成された半導体装置のノイズ耐性を向上させることができる。

【0038】

そして、前記第1および第2のウェルは、当該第1および第2のウェルによって構成されたPN接合ダイオードに逆バイアス電圧がかかるような電位にそれぞれ固定されているのが好ましい。これにより、ノイズ耐性をさらに向上させることができる。

【0039】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0040】

（第1の実施形態）

本発明の第1の実施形態は、ダミー拡散層の表面がシリサイド化されないように、その表面を、シリサイド化防止膜によって覆うことを特徴とする。

【0041】

図1は本実施形態に係る半導体装置の製造方法を示す工程フローである。図1に示すように、本実施形態では、STI形成工程S11、ゲート電極形成工程S12およびソースドレイン注入工程S13を実行した後、シリサイド化工程S14を実行する前に、シリサイド化防止膜形成工程S20を実行する。

【0042】

本実施形態では、図17に示すように、半導体装置にアナログブロック50およびデジタルブロック51を設けるものとする。また、ウェル構成はツインウェルとし、設計スタイルとしては、P基板上にNウェル領域を定義した部分はNウェル、Nウェルを反転した領域がPウェルになるものとする。これにより、アナログブロック50とデジタルブロック51との間には、Pウェルが形成される。また、CMP工程においてディッシング不具合を生じさせないように、ダミー拡散層を、アナログブロック50とデジタルブロック51との間に、所定の制約ルールを満たすように形成する。



## 【0043】

ここで、アナログブロック50のスペックは非常に高精度であるため、デジタルブロック51から発生するノイズがアナログブロック50に及ぼす影響を極力抑えたい場合を想定する。

## 【0044】

図2はシリサイド化防止膜形成工程S20の処理の流れを示すフロー図である。図2に示すように、シリサイド化防止膜の形成は、基板表面の全面にシリサイド化防止膜を堆積させ(S21)、レジスト膜を塗布し(S22)、シリサイド化防止膜を形成する領域にマスクを合わせて(S23)、露光し(S24)、シリサイド化防止膜を形成する領域以外の領域について、シリサイド化防止膜をエッチング除去する(S25)ことによって、行われる。ここでは、ダミー拡散層の表面全体を覆うようにマスクを形成し、シリサイド化防止膜を形成するものとする。

## 【0045】

このようにしてシリサイド化防止膜を形成した後に、シリサイド化工程S14を実行すると、シリサイド化防止膜によって被覆された部分、すなわちダミー拡散層の表面はシリサイド化されない。一方、シリサイド化防止膜によって被覆されていない部分、すなわち、トランジスタのノード電極として用いられる拡散層やゲート電極の表面は、シリコンが露出しているため、シリサイド化される。したがって、所望の領域に対するシリサイド層の付加／未付加を選択することが可能となる。

## 【0046】

図3は本実施形態において製造された半導体装置の構造を示す図であり、(a)は平面図、(b)は(a)の破断線X-Xにおける断面図である。アナログブロック50は、トランジスタのソース・ドレイン電極用拡散層としてのP型ウェル50aおよびN型ウェル50bを有しており、デジタルブロック51は、トランジスタのソース・ドレイン電極用拡散層としてのN型ウェル51aおよびP型ウェル51bを有している。

## 【0047】

図3に示すように、アナログブロック50とデジタルブロック51との間に形成されたダミー拡散層11は、その表面がシリサイド化防止膜12によって覆われており、シリサイド化はなされていない。これにより、アナログブロック50とデジタルブロック51との間において、従来例ではダミー拡散層11のシリサイド化によって形成された裏打ちシリサイド抵抗が挿入されなくなり、ブロック間インピーダンスを高く保つことができる。この結果、アナログブロック50とデジタルブロック51とのブロック間ノイズ対策が可能となる。

#### 【0048】

なお、シリサイド化防止膜12の材料としては、形成や加工が容易であるという理由から、酸化膜を用いるのが一般的である。または、例えば窒化膜などを用いてもかまわない。

#### 【0049】

また、シリサイド化プロセスにおいて、シリサイド化防止膜の形成工程は、

- ・アナログ用抵抗
- ・ESD耐性確保用抵抗

等の他の目的のために、予めすでに準備されている場合が多い。このような場合には、本実施形態に係るノイズ対策のためのシリサイド化防止膜の形成は、そのすでに準備された工程において併せて実行することができるので、新たな工程を追加することなく、本実施形態を実施することができる。

#### 【0050】

また、ダミー拡散層11には、ソースドレイン注入やポケット注入等、トランジスタのソース・ドレイン電極用拡散層に対して行うイオン注入を行わないのが好ましい。

#### 【0051】

仮に、ソースドレイン注入工程S13において、P型ウェル53上に形成されたダミー拡散層11にP型不純物が注入されたとすると、ダミー拡散層11のシート抵抗値はP型ウェル53よりも小さくなるので、たとえシリサイド化防止膜12によってシリサイド化が防がれたとしても、ダミー拡散層11がノイズを伝搬する可能性は高くなる。したがって、ソースドレイン注入工程S13において

、ダミー拡散層 1 1 に対してイオン注入を行わないことによって、ダミー拡散層 1 1 のシート抵抗値を高く保つことができるので、ブロック間インピーダンスが高くなり、ノイズ伝搬をさらに抑制することができる。

【 0 0 5 2 】

なお、ダミー拡散層 1 1 表面の全面が必ずしも覆われていなくても、その一部が覆われている場合には、その部分についてはシリサイド化は防止されるので、ノイズ抑制の効果が得られる。

【 0 0 5 3 】

(第 2 の実施形態)

本発明の第 2 の実施形態は、ダミー拡散層の表面がシリサイド化されないように、その表面を、トランジスタのゲート電極と同一構造からなるダミーゲート電極によって覆うことを特徴とする。すなわち、本実施形態に係る製造方法では、第 1 の実施形態のようにシリサイド化防止膜形成工程 S 2 0 を実行しないで、ゲート電極形成工程 S 1 2 において、トランジスタ用のゲート電極とともに、ダミー拡散層を覆うようなダミーゲート電極を形成する。

【 0 0 5 4 】

図 4 は本実施形態において製造された半導体装置の構造を示す図であり、(a) は平面図、(b) は (a) の破断線 X-X における断面図である。図 4 に示すように、ダミー拡散層 1 1 に対して、その表面を覆うように、ダミーゲート電極としてのポリシリコンゲート電極 1 3 が形成されている。このような構造をとることによって、シリサイド化工程 S 1 4 において、ダミー拡散層 1 1 の上部に形成されたダミーゲート電極 1 3 がシリサイド化されるため、ダミー拡散層 1 1 自体のシリサイド化を防止することができる。ダミー拡散層 1 1 とダミーゲート電極 1 3 との間には、ゲート酸化膜 1 4 が形成されている。

【 0 0 5 5 】

また、ダミーゲート電極層 1 3 の形成は、トランジスタのゲート電極の形成と併せて実行可能であるので、新規のプロセス工程を追加することなく、本実施形態を実施することが可能となる。なお、ゲート電極形成工程 S 1 3 においては、拡散層マスクとゲート電極マスクとのマスク合わせずれ分をオーバーラップマー

ジンとして確保しつつ、ダミーゲート電極 1 3 を配置するのが好ましい。

【 0 0 5 6 】

なお、本実施形態のように、ノイズ対策としてダミーゲート電極を形成した場合、半導体装置の設計者が意図しないゲート電極が追加されることになるので、ゲート電極の面積率について、設計と製造後とでずれが生じる可能性がある。ゲート電極の面積率は半導体装置の特性上重要であるので、面積率のずれが特性に大きな影響を与えるような場合には、上述の第 1 の実施形態のようにシリサイド化防止膜を形成する方が好ましい。

【 0 0 5 7 】

また、ダミー拡散層 1 1 の表面全面が必ずしも覆われていなくても、その一部がダミーゲート電極によって覆われている場合には、その部分についてはシリサイド化は防止されるので、ノイズ抑制の効果が得られる。

【 0 0 5 8 】

(第 2 の実施形態の変形例)

図 4 ( b ) に示すように、ダミー拡散層 1 1 は、その上部に配置されたダミーゲート電極 1 3 によってシリサイド化が防止される。このため、課題の項で説明したようなシリサイド化されたダミー拡散層を経由するノイズ伝搬パスは、存在し得ない。

【 0 0 5 9 】

ただしこの場合には、新たなノイズ伝搬パス N Z 2 が想定される。すなわち、ダミー拡散層 1 1 - ゲート酸化膜 1 4 - ダミーゲート電極 1 3 という構成からなる容量カップリングによって、デジタル部 5 1 からダミーゲート電極 1 3 にノイズが伝わる。ダミーゲート電極 1 3 は、シリサイド化された低抵抗体であり、かつ、電位固定されていないフローティングノードであるので、ノイズはアナログブロック 5 0 付近まで伝搬する。そして、アナログブロック 5 0 近辺のダミー拡散層 1 1 - ゲート酸化膜 1 4 - ダミーゲート電極 1 3 という容量カップリングを介して、ノイズが P 型基板 5 2 に伝わり、アナログブロック 5 0 に伝搬する。

【 0 0 6 0 】

本変形例は、上述したような新たなノイズ伝搬パス N Z 2 を遮断して、第 2 の

実施形態を改善するものである。

【 0 0 6 1 】

図 5 は本変形例に係る半導体装置の構造を示す図であり、(a) は平面図、(b) は (a) の破断線 X-X における断面図である。図 5 に示すように、ダミー拡散層 1 1 a は、ノイズ元ブロックであるデジタルブロック 5 1 からノイズの影響を避けたいアナログブロック 5 0 に向けた経路において、複数の部分に分断して形成されている。そして、個々のダミー拡散層 1 1 a に対して、その表面を覆うように、ダミーゲート電極 1 3 a がそれぞれ分断されて配置されている。すなわち、図 5 から分かるように、ダミーゲート電極 1 3 a は、一の回路ブロックとしてのアナログブロック 5 0 と他の回路ブロックとしてのデジタルブロック 5 0 との間に分割して配置されているので、図 4 (b) に示すようなノイズ伝搬パス N Z 2 は形成されなくなる。

【 0 0 6 2 】

なお、ダミー拡散層は分割しないで、ダミーゲート電極のみを分割して配置しても、本変形例の効果は得られる。

【 0 0 6 3 】

なお、実際のチップレイアウトにおいては、上述した対策を、周囲ブロックに対して 2 次元的に実施する必要がある。

【 0 0 6 4 】

図 6 (a) の例では、ライン状のダミー拡散層 1 1 a が、アナログブロック 6 0 と各ノイズ源ブロック 6 1 との間の経路に対して全て垂直方向になるように、配置されている。また、図 6 (b) の例では、四角形または多角形状のダミー拡散層 1 1 a がアレイ状に配置されている。図 6 (a) のようなライン状のパターンは、データ量が少なく、レイアウトの手間の面で手入力に適している。また、レイアウト演算 CAD 処理を用いた自動挿入を行う場合には、図 6 (b) のような規則的なアレイ状のパターン配置の方が採用しやすい。

【 0 0 6 5 】

なお、本実施形態では、ゲート電極の材料はポリシリコンであり、シリサイド化工程において、ゲート電極と拡散層の両方がシリサイド化されるものとして説

明したが、ゲート電極として、ポリシリコン以外の材料、例えばポリサイドやポリメタルといったシリサイド化されない材料を用いてもかまわない。この場合、シリサイド化工程において、拡散層のみがシリサイド化されてゲート電極はシリサイド化されないが、ダミー拡散層のシリサイド化は、ダミーゲート電極の存在によって本実施形態と同様に防止される。

#### 【0066】

##### (第3の実施形態)

図7は本発明の第3の実施形態に係る半導体装置の構造を示す図であり、(a)は平面図、(b)は破断線X-Xにおける断面図である。図7に示すように、ダミー拡散層14は、シリサイド化されずに残ったシリコン層14aと、シリサイド化された層14bとからなる。そして、シリコン層14aには、N型不純物が注入されている。すなわち、第1導電型としてのP型のウェル53上に形成されたダミー拡散層14に、第2導電型としてのN型の不純物が注入されている。ダミー拡散層14への不純物注入は、図7(a)に示すようなN型不純物注入マスク21を用いて行われる。

#### 【0067】

P型ウェル53上のダミー拡散層14にN型不純物を注入したことによって、図7(b)に示すように、その後のシリサイド工程において形成されたシリサイド化層14bの下に、合金化反応後に残ったN型ドーパシリコン層14aが形成される。そして、P型ウェル53とN型ドーパシリコン層14aとの間で、PN接合ダイオードが形成される。

#### 【0068】

図8はダイオードの電圧-電流特性を示す図である。図8に示すように、グラフの原点近辺では、電圧 $V_{pn}$ が印加されても電流 $I_{pn}$ はほとんど流れず、ダイオードは容量と似た挙動をする。実際に形成されたPNダイオードは、空乏層を絶縁体とした容量に近い構造である。そしてこのPNダイオードは、ダミー拡散層上シリサイド層14bに向けたパス上に介在するため、ノイズ伝搬元のデジタルブロック51やこれにつながるP型基板52およびP型ウェル53から見ると、ダミー拡散層上シリサイド層14bを経由してのノイズ伝搬パスは見えにく

くなる。したがって、ダミー拡散層14にP型ウェル53とは逆型のN型不純物を注入することによって、たとえダミー拡散層14がシリサイド化されたとしても、そのダミー拡散層14を経由してのノイズ伝搬を防止することができる。

【0069】

また、図9に示すように、ダミー拡散層15がN型ウェル55上に形成された場合には、ダミー拡散層15に対してP型の不純物を注入することによって、同様にPN接合ダイオードを形成することができる。したがって、この場合も、たとえダミー拡散層15がシリサイド化されたとしても、そのダミー拡散層15を経由してのノイズ伝搬を防止することができる。

【0070】

なお、ダミー拡散層への不純物注入は、別の工程として実施してもかまわないが、トランジスタのソースドレイン注入とともに実行すると、新規プロセス工程を増加することなく本実施形態を実現することができ、コスト的に有利である。

【0071】

なお、本実施形態は、第1の実施形態と組み合わせて実現してもかまわない。すなわち、ダミー拡散層に不純物を注入してからシリサイド化防止膜を形成してもよい。また、第2の実施形態と組み合わせて実現することも可能であるが、この場合は、ダミー拡散層への不純物注入は、トランジスタのソースドレイン注入とは別個の工程で実行する必要がある。すなわち、トランジスタのソースドレイン注入はゲート電極形成後に行われるのが一般的であるので、ダミー拡散層への不純物注入をソースドレイン注入とともに行うと、注入された不純物はダミーゲート電極にブロックされてダミー拡散層までとどかない。したがって、第2の実施形態と組み合わせて実現する場合には、ダミー拡散層への不純物注入を行ってからゲート電極を形成すればよい。

【0072】

(第4の実施形態)

図10は本発明の第4の実施形態に係る半導体装置の構造を示す図であり、(a)は平面図、(b)は(a)の破断線X-Xにおける断面図である。

【0073】

図10に示すように、ダミー拡散層16は、第2導電型としてのN型のウェル55によって囲まれている。さらに、ノイズ対策のために、第1のウェルとしてのN型ウェル55と、アナログブロック50のN型ウェル50bとの間に第2のウェルとしてのP型ウェル56aが挿入されており、N型ウェル55と、デジタルブロック51のN型ウェル51aとの間に第2のウェルとしてのP型ウェル56bが挿入されている。すなわち、アナログブロック50およびデジタルブロック51のダミー拡散層16側に面するウェルの極性がN型であるので、ノイズ対策のために、ダミー拡散層16を包含するN型ウェル55と周囲ブロック50、51との間に、さらにP型ウェル56a、56bを挿入する。

## 【0074】

このような構造によって、ダミー拡散層16とP型基板52との間には、P型基板52とN型ウェル55とからなるPN接合ダイオードが底面側に形成されるとともに、P型ウェル56a、56bとN型ウェル55とからなるPN接合ダイオードが側面側にそれぞれ形成される。すなわち、あたかもダミー拡散層16を収める器のような形態になる。

## 【0075】

形成されたPN接合ダイオードは、第3の実施形態ですでに説明したように、ダイオードの両端間におけるノイズ伝搬を防ぐ働きをする。したがって、たとえダミー拡散層16がシリサイド化されたとしても、ノイズの伝搬元であるデジタルブロック51やこれにつながるP型基板52から見ると、ダミー拡散層上シリサイド層16bを経由するノイズ伝搬パスは見えにくくなる。

## 【0076】

このように、本実施形態によると、CMPディッシング防止などを目的としたダミー拡散層16を配置し、かつ、そのダミー拡散層を経由するノイズ伝搬を防止することが可能になる。

## 【0077】

なお、ダミー拡散層16側に面するウェルの極性がP型である場合は、N型ウェル55と周囲ブロック50、51との間にP型ウェルを挿入する必要はない。

## 【0078】



## (第 5 の実施形態)

図 1 1 は本発明の第 5 の実施形態に係る半導体装置の構造を示す平面図である。図 1 1 では、図 4 の構成に加えて、ダミー拡散層 1 1 を覆うように形成されたダミーゲート電極 1 3 が、コンタクト 3 2 を介して金属配線 3 1 と接続されており、その電位が電源電位または接地電位に固定されている。

## 【 0 0 7 9 】

第 2 の実施形態で述べたとおり、図 4 に示すように、ダミー拡散層 1 1 の表面を覆うようにダミーゲート電極 1 3 を形成することによって、ダミー拡散層 1 1 のシリサイド化を防止することができる。ただし、ダミーゲート電極 1 3 は、シリサイド化された低抵抗体であり、かつ、電位固定されていないフローティングノードであるため、ダミー拡散層 1 1 - ゲート酸化膜 1 4 - ダミーゲート電極 1 3 という組成から構成された容量カップリングによって、ノイズが伝搬する可能性が懸念される。

## 【 0 0 8 0 】

絶縁体を間に介する容量体は、特に A C 信号に対しては、信号を伝搬する導体となる。すなわち、

$$Q = C \cdot V$$

$$\therefore dQ / dt = I = C \cdot dV / dt$$

となり、電圧 V が時間的に変化する場合、容量 C が大きい程、大きな電流 I が伝達される。

## 【 0 0 8 1 】

そこで、本実施形態では、図 1 1 に示すように、ダミーゲート電極 1 3 を金属配線 3 1 を介して電源電位または接地電位に電位固定する。これにより、拡散層 - 酸化膜 - ゲート電極という容量体の一方の電極が電位固定されるので、アナログブロック 5 0 とデジタルブロック 5 1 との間の、特に A C 信号のノイズの伝搬が抑えられる。したがって、半導体装置のノイズに対する耐性を向上させることが可能になる。

## 【 0 0 8 2 】

## (第 6 の実施形態)

図 1 2 は本発明の第 6 の実施形態に係る半導体装置の構造を示す平面図である。図 1 2 では、図 7 の構成に加えて、表面がシリサイド化されたダミー拡散層 1 4 が、コンタクト 3 4 を介して金属配線 3 3 と接続されており、その電位が電源電位 V D D に固定されている。

#### 【 0 0 8 3 】

第 3 の実施形態で述べたとおり、図 7 に示すように、P 型ウェル 5 3 上に形成されたダミー拡散層 1 4 に N 型不純物が注入されたことによって、P 型ウェル 5 3 と N 型ドープシリコン層 1 4 a との間で、P N 接合ダイオードが形成される。そして、たとえダミー拡散層 1 4 がシリサイド化されたとしても、ノイズ伝搬元のデジタルブロック 5 1 やこれにつながる P 型基板 5 2 および P 型ウェル 5 3 から見ると、ダミー拡散層上シリサイド層 1 4 b を経由してのノイズ伝搬パスは見えにくくなる。

#### 【 0 0 8 4 】

本実施形態では、さらに、P 型ウェル 5 3 とダミー拡散層 1 4 とで構成される P N ダイオードが逆バイアスとなるように、N 型不純物が注入されたダミー拡散層 1 4 の電位を固定する。図 1 2 では、ダミー拡散層 1 4 は、V D D 電源に接続された金属配線 3 3 に、コンタクト 3 4 を介して接続されている。これにより、ダミー拡散層 1 4 の電位が電源電位に固定されて、P 型ウェル 5 3 とダミー拡散層 1 4 とで構成される P N ダイオードに逆バイアスの電圧がかかり、第 3 の実施形態と比べて、半導体装置のノイズ耐性がさらに向上する。

#### 【 0 0 8 5 】

P N ダイオードに逆バイアスをかけると、ノイズ耐性が向上する理由について、補足説明する。

#### 【 0 0 8 6 】

P N ダイオードは、逆バイアスに電圧印加されることによって、P N 境界部の空乏層が広がる。このことは、導体－絶縁体－導体という容量の構成において、絶縁体である空乏層の厚みが増して導体間距離が広がることと等価であるので、

$$C = \epsilon \times S \text{ (導体面積)} / d \text{ (絶縁体の厚み)}$$

の式でよく知られているように、空乏層が広がるにつれて容量値が減少する。

これより、第5の実施形態で示した式、すなわち、

$$Q = C \cdot V$$

$$\therefore dQ/dt = I = C \cdot dV/dt$$

から分かるように、電圧変化量  $dV/dt$  が同一であっても、伝えるノイズ量  $I$  は容量値  $C$  に比例するので、空乏層の厚みが厚くなることによって、伝搬ノイズが小さくなる。

【0087】

よって、本実施形態のように、ウェルとダミー拡散層とによって構成されるPNダイオードが逆バイアスとなるように、電圧を印加することによって、ノイズ耐性がより強くなる。なお、ダミー拡散層がN型ウェル内に形成され、かつ、P型不純物が注入されている場合には、同様の考え方から、形成されるPNダイオードが逆バイアスとなるように、そのダミー拡散層をVSS接地線に接続すればよい。

【0088】

図13は本実施形態の他の例に係る半導体装置の構造を示す平面図である。図13に示す構造では、まず、分割配置されたダミー拡散層14同士が拡散層配線35によって接続されている。この拡散層配線35は、それ自体が、ダミー拡散層としての機能も兼ね備える。そして、拡散層配線35はシリサイド化工程によってダミー拡散層14とともにシリサイド化されるので、メタル配線ほど低抵抗ではないが数 $\Omega$ /□の比較的低いシート抵抗値を持つ。この拡散層配線35によって、ダミー拡散層14は相互に接続される。

【0089】

図12の例では、電位固定のための金属配線33はダミー拡散層14上方の金属配線層に形成されているが、図13の例では、ダミー拡散層14上方の金属配線層は、電位固定のためには、コンタクト37の周辺部のみが用いられているに過ぎない。このため、ダミー拡散層14上の大部分は金属配線が通過可能となり、図12の場合ダミー拡散層14上方を迂回するか、あるいはさらに上層の配線層を用いて形成せざるを得なかった配線を、配線38のように、ダミー拡散層14上方の金属配線層を用いて形成することが可能となる。したがって、図13の

ような構成によって、配線距離短縮による高性能化やレイアウト効率向上による小面積化が可能となる。

#### 【0090】

##### （第7の実施形態）

図14は本発明の第7の実施形態に係る半導体装置の構造を示す図であり、同図中、(a)は平面図、(b)は(a)の破断線X-Xにおける断面図である。図14では、図10の構成に加えて、ダミー拡散層16を覆うN型ウェル55はその電位が電源電位VDDに固定されており、N型ウェル55を包含するP型ウェル56a、56bおよびP型基板52はその電位が接地電位VSSに固定されている。

#### 【0091】

第4の実施形態で述べたとおり、図10に示すように、ダミー拡散層16とP型基板52との間には、P型基板52とN型ウェル55とからなるPN接合ダイオードが底面側に形成されるとともに、P型ウェル56a、56bとN型ウェル55とからなるPN接合ダイオードが側面側にそれぞれ形成される。すなわち、あたかもダミー拡散層16を収める器のような形態になる。

#### 【0092】

本実施形態では、図10に示す半導体装置において、さらにノイズ耐性を高めるために、N型ウェル55の電位を電源電位VDDに固定するとともに、P型ウェル56a、56bおよびP型基板52の電位を接地電位VSSに固定する。これにより、P型基板52とN型ウェル55とからなるPN接合ダイオードに逆バイアスがかかり、また、P型ウェル56a、56bとN型ウェル55とからなるPN接合ダイオードにも逆バイアスがかかるので、第6の実施形態で説明したのと同様に、半導体装置のノイズ耐性が向上する。

#### 【0093】

なお、N型ウェル55の側面に位置するP型ウェル56a、56bは、P型基板52とつながっているため、電位固定が困難である場合はオープンであってもかまわないが、当然ながら、金属配線41を介して電位固定を行う方がノイズ遮蔽効果は高い。

## 【 0 0 9 4 】

また、ダミー拡散層 1 6 のうち、N 型ウェル 5 5 の電位固定用の基板コンタクトとなる部分 4 3 には N 型不純物の注入が必要であり、P 型ウェル 5 6 a, 5 6 b の電位固定用の基板コンタクトとなる部分 4 4 には P 型不純物の注入が必要である。しかしながら、これ以外のダミー拡散層 1 6 a には、不純物注入の必要は必ずしもない。というのは、P 型基板 5 2 からみたとき、P 型基板 5 2 - N 型ウェル 5 5 間の P N ダイオードが存在しているからである。もちろん、図 1 4 に示すように、基板コンタクト以外のダミー拡散層 1 6 a にも P 型不純物の注入を行い、N 型ウェル 5 5 - ダミー拡散層 1 6 a 間にも P N ダイオードを形成する方が好ましい。これにより、シリサイド層 1 6 b が P 型基板 5 2 から見えにくくなり、ノイズ耐性がさらに向上する。

## 【 0 0 9 5 】

なお、本発明に係る半導体装置の製造方法は、各実施形態で示したものに限られるものではなく、他にも種々存在する。また、ダミー拡散層に関し、そのパターンの大きさ、形状、挿入ピッチ、規定範囲内の面積率等は、個々のプロセス装置や工程条件、および周囲レイアウトの状況等によって変わり得る。さらに、ダミー拡散層は、プロセス上満たすべき条件は定まっているので、設計者の手間を省くために、レイアウト設計終了後、設計データを C A D 演算処理する際にダミー拡散層を自動的に挿入するようにしてもよい。

## 【 0 0 9 6 】

また、課題の項で述べたように、ダミー拡散層を形成する目的は、S T I - C M P 工程におけるディッシング対策に限られるものではない。例えば、エッチングやリソグラフィ工程を考慮した面積率調整を目的として形成する場合もあり得る。このようなディッシング対策以外を目的としたダミー拡散層であっても、シリサイド化によって低抵抗となり、ブロック間ノイズを伝搬してしまうという不具合を生じせしめるという点では同様である。したがって、そのようなダミー拡散層を形成する場合でも、本発明は同様に有効である。

## 【 0 0 9 7 】

さらに、このようなノイズによる不具合は、デジタルーアナログブロック間の

みにおいて生じるものではない。例えば、最近ニーズが高まっている超高速インタフェース I/O 部も大きなノイズ発生源となり得る。また、プロセス微細化と機器の省電力化ニーズのために採用が進む低電圧動作ロジック部やメモリブロックも、一般には低電圧動作になるほどノイズマージン縮小化の傾向にあるため、ブロック間ノイズ問題は高まる傾向にある。したがって、このようなノイズ問題に対しても、本発明は有効である。

#### 【0098】

#### 【発明の効果】

以上のように本発明によると、ダミー拡散層をダミーゲート電極によって覆うことによって、または、ダミー拡散層の周囲に PN 接合ダイオードを形成することによって、ノイズの伝搬を抑制することができる。したがって、ダミー拡散層が形成された半導体装置のノイズ耐性を向上させることができる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程フローである。

#### 【図 2】

図 1 の工程フローにおけるシリサイド化防止膜形成工程 S 2 0 の処理の流れを示すフロー図である。

#### 【図 3】

本発明の第 1 の実施形態に係る半導体装置の構造を示す図である。

#### 【図 4】

本発明の第 2 の実施形態に係る半導体装置の構造を示す図である。

#### 【図 5】

本発明の第 2 の実施形態における変形例に係る半導体装置の構造を示す図である。

#### 【図 6】

本発明の第 2 の実施形態に係るチップレイアウトを示す図である。

#### 【図 7】

本発明の第 3 の実施形態に係る半導体装置の構造を示す図である。

【図 8】

ダイオードの電圧－電流特性を示す図である。

【図 9】

本発明の第 3 の実施形態の変形例に係る半導体装置の構造を示す図である。

【図 1 0】

本発明の第 4 の実施形態に係る半導体装置の構造を示す図である。

【図 1 1】

本発明の第 5 の実施形態に係る半導体装置の構造を示す平面図である。

【図 1 2】

本発明の第 6 の実施形態に係る半導体装置の構造を示す図である。

【図 1 3】

本発明の第 6 の実施形態の他の例に係る半導体装置の構造を示す図である。

【図 1 4】

本発明の第 7 の実施形態に係る半導体装置の構造を示す図である。

【図 1 5】

S T I 形成およびシリサイド化を行う半導体装置の製造プロセスの概略フローである。

【図 1 6】

図 1 5 のプロセス過程における半導体装置の概略構造を示す断面図である。

【図 1 7】

アナログブロックとデジタルブロックとを同一基板上に配置した半導体装置の構造を示す図である。

【図 1 8】

図 1 7 の構造で、ブロック間にダミー拡散層を形成した場合の構造を示す図である。

【図 1 9】

ブロック間のノイズ伝搬経路を示すモデル回路図である。

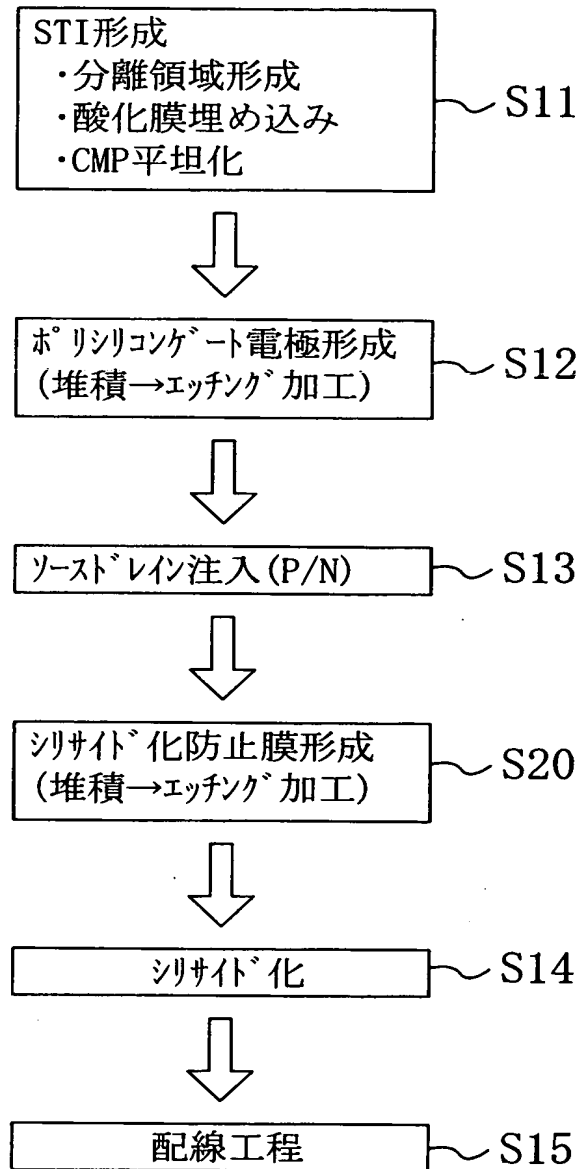
【符号の説明】

- 1 1, 1 1 a, 1 4, 1 5, 1 6 ダミー拡散層
- 1 2 シリサイド化防止膜
- 1 3, 1 3 a ポリシリコンゲート電極 (ダミーゲート電極)
- 3 5 シリサイド化拡散層配線
- 5 0 アナログブロック (回路ブロック)
- 5 0 a アナログブロックの P 型ウェル (ソース・ドレイン電極用拡散層)
- 5 0 b アナログブロックの N 型ウェル (ソース・ドレイン電極用拡散層)
- 5 1 デジタルブロック (回路ブロック)
- 5 1 a デジタルブロックの N 型ウェル (ソース・ドレイン電極用拡散層)
- 5 1 b デジタルブロックの P 型ウェル (ソース・ドレイン電極用拡散層)
- 5 2 P 型基板 (基板)
- 5 3 P 型ウェル (第 1 導電型のウェル)
- 5 5 N 型ウェル (第 1 のウェル)
- 5 6 a, 5 6 b P 型ウェル (第 2 のウェル)



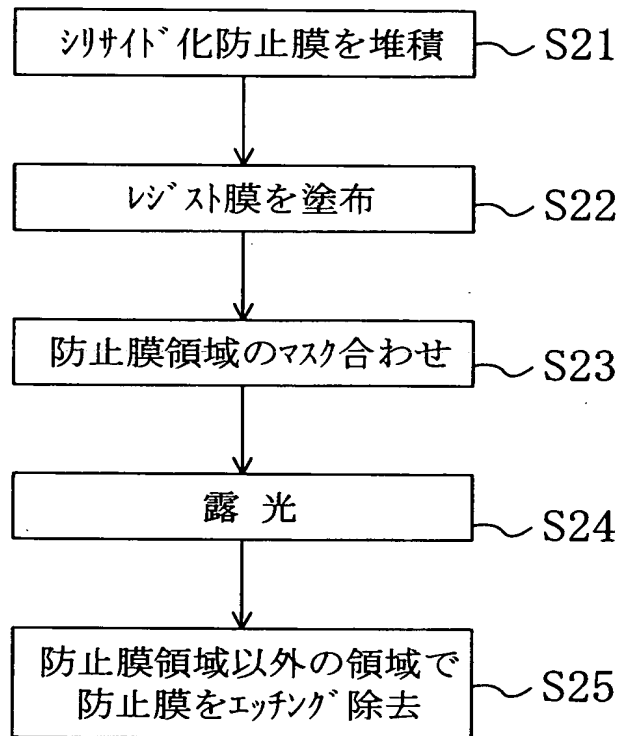
【書類名】 図面

【図 1】

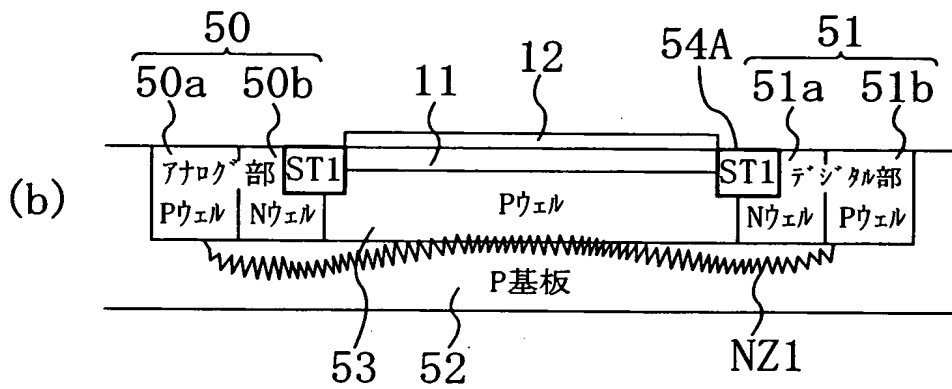
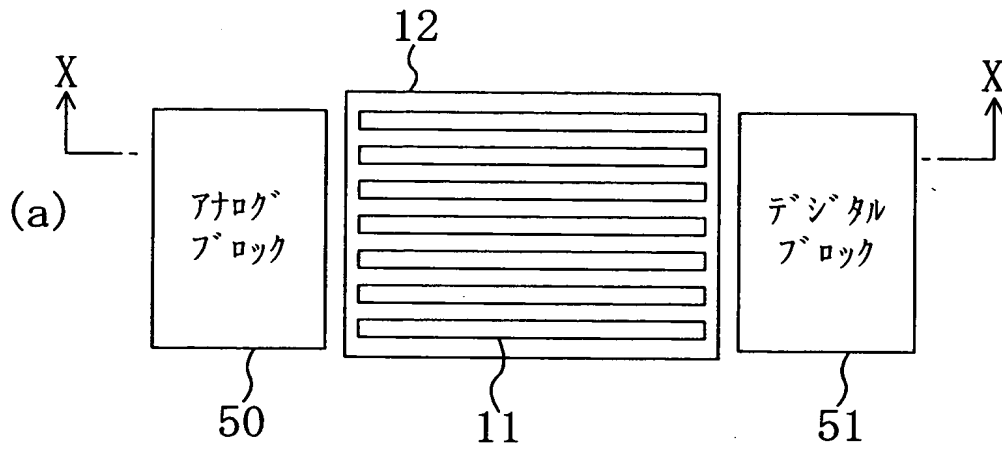


【図 2】

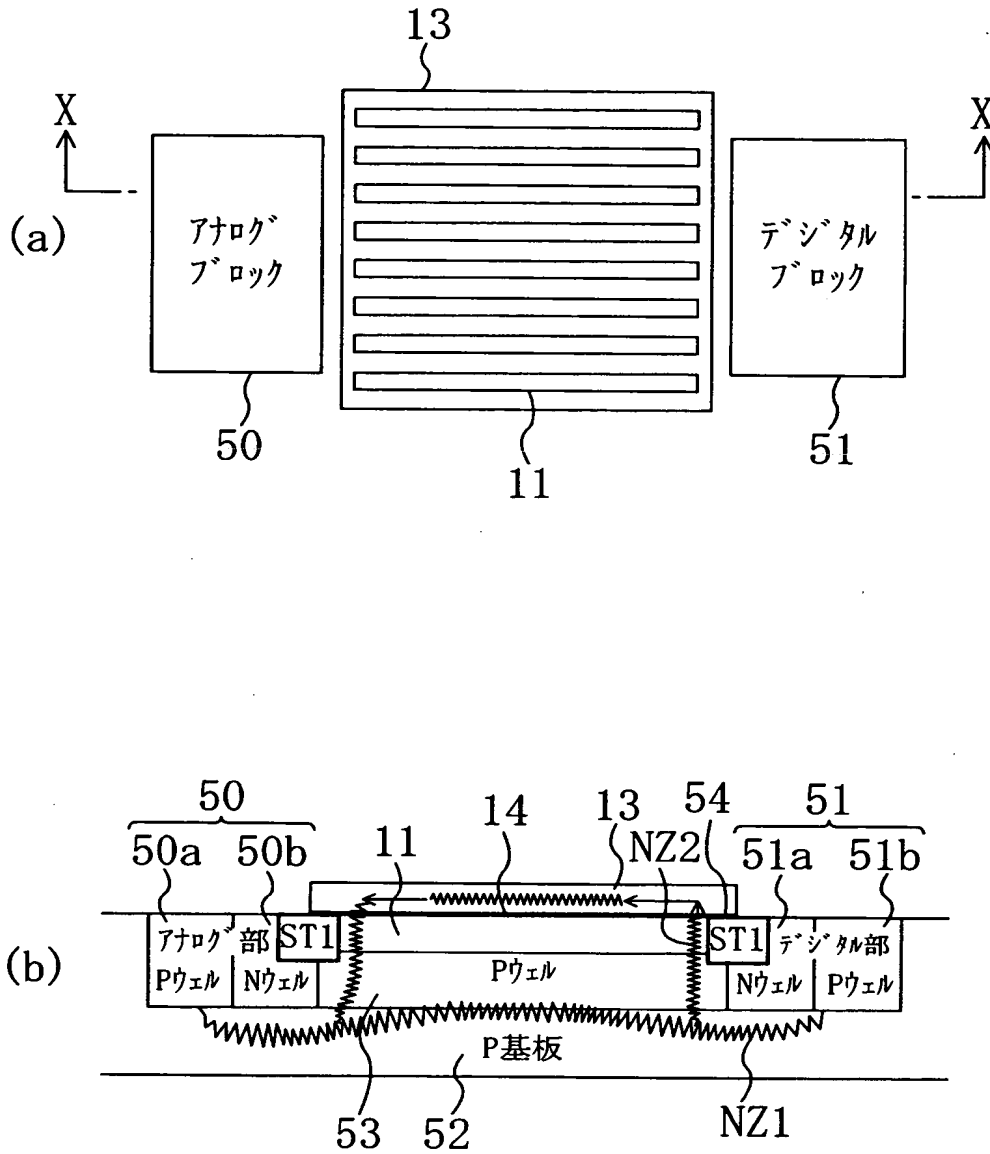
S20



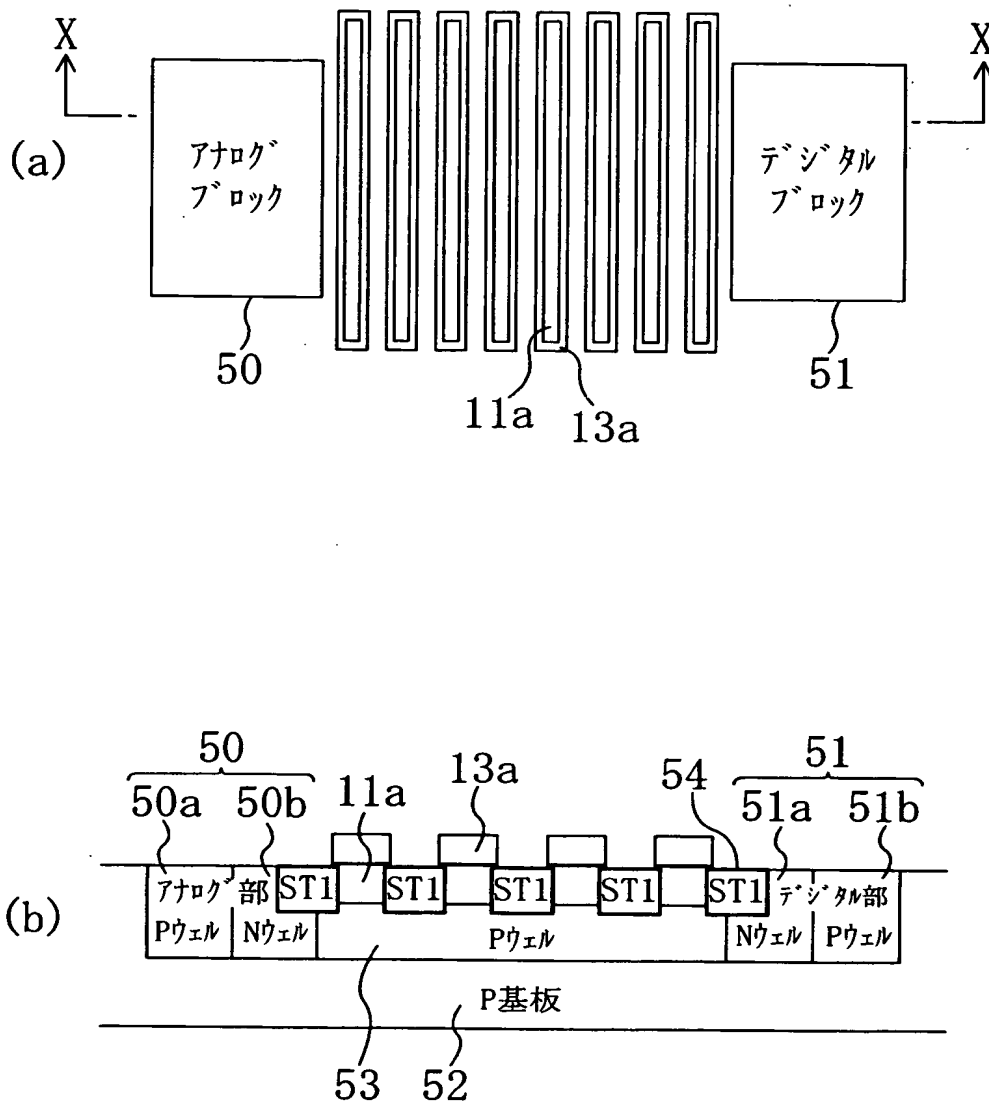
【図3】



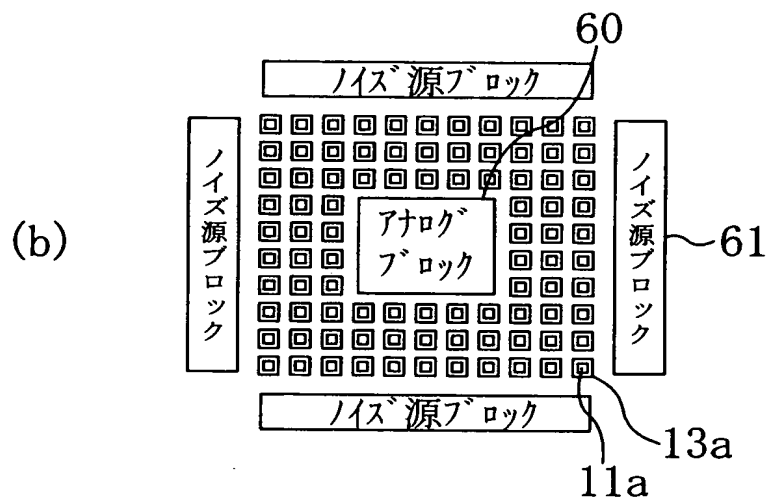
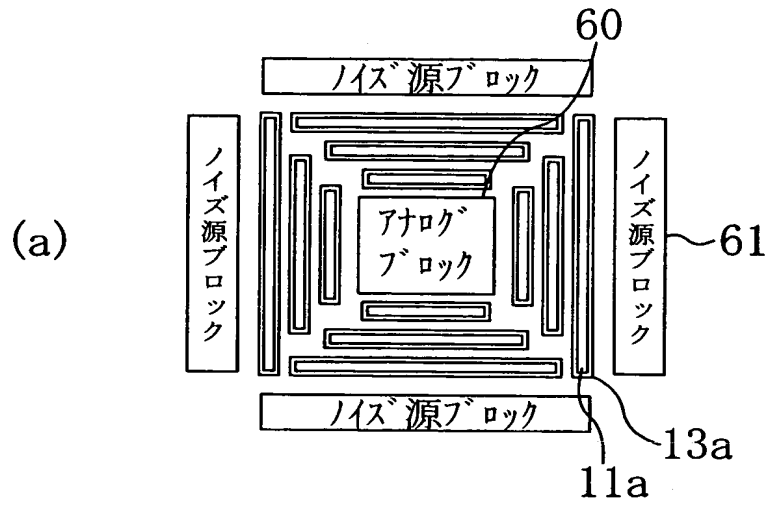
【図4】



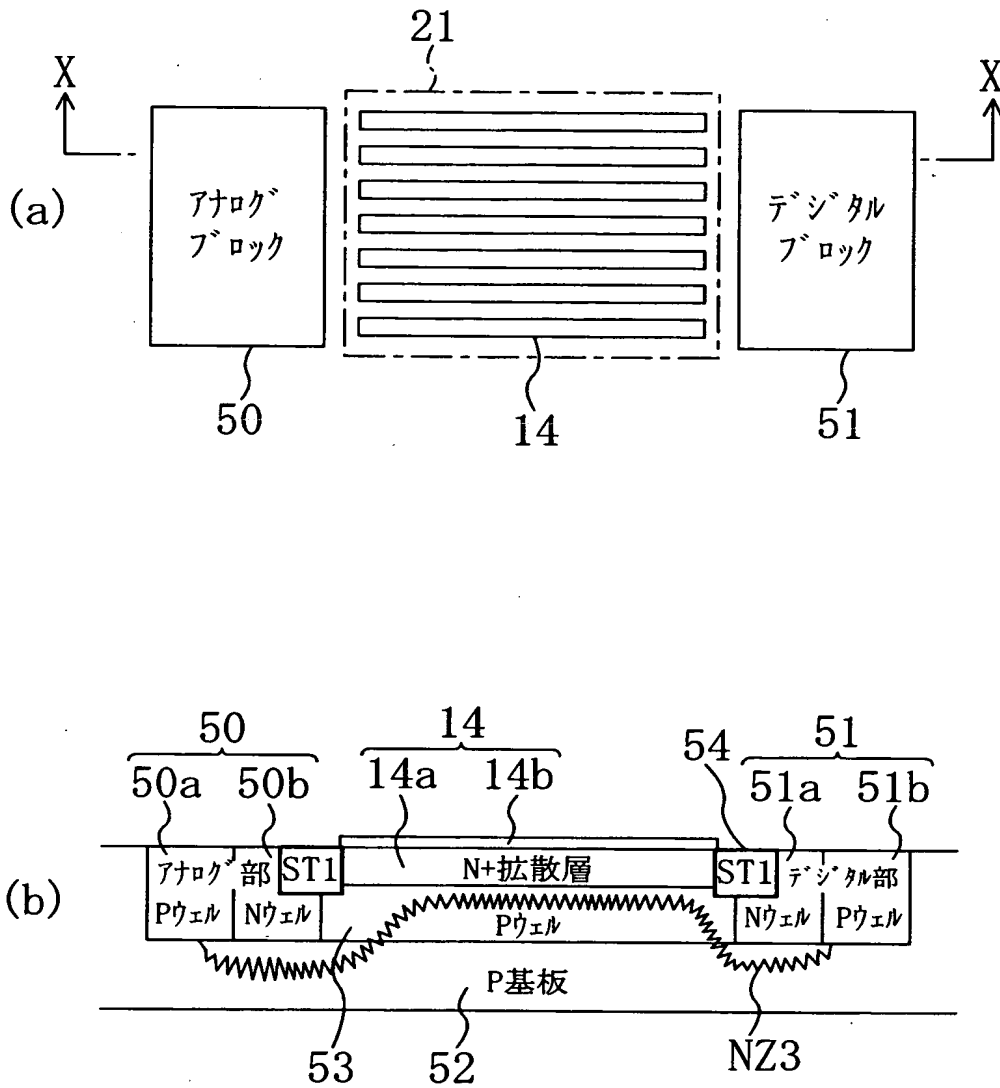
【図5】



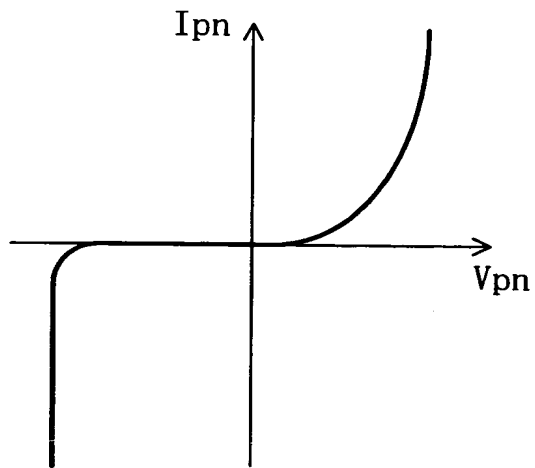
【図 6】



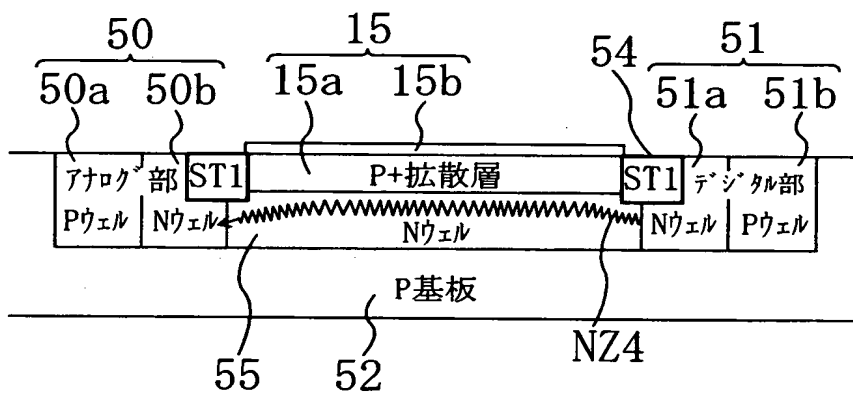
【図7】



【図 8】

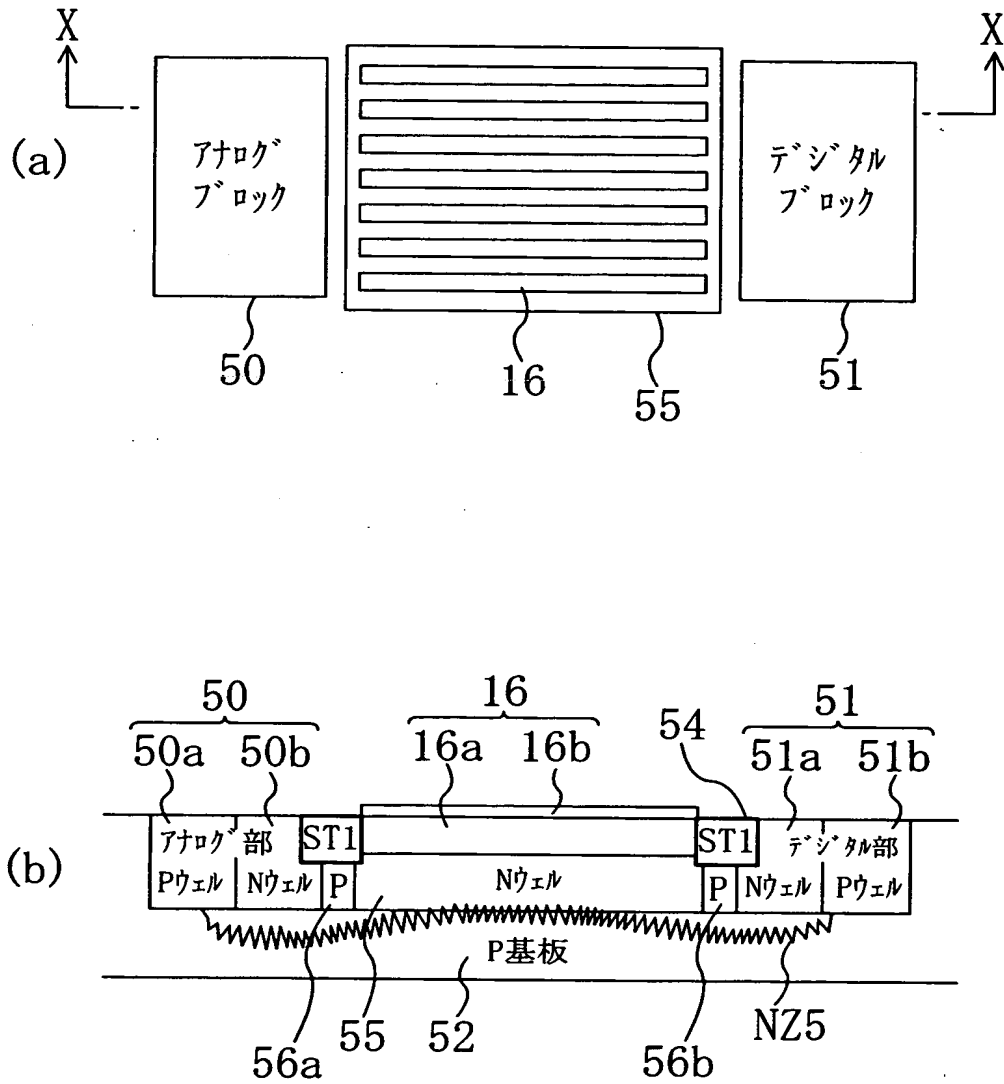


【図 9】

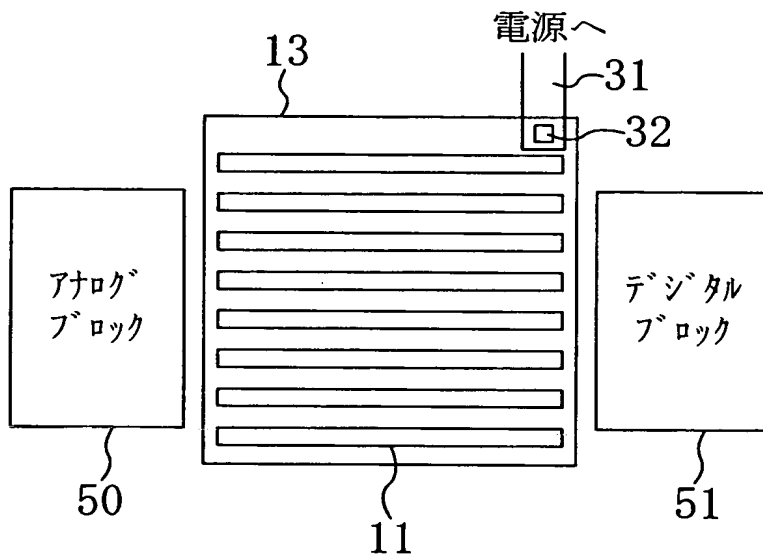




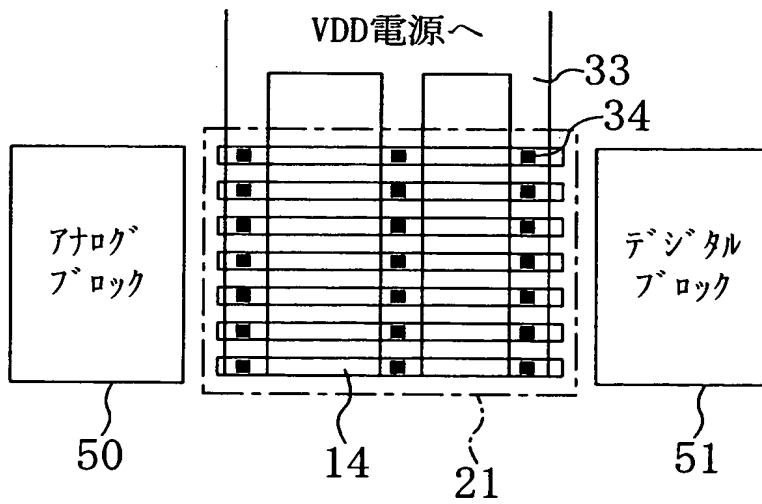
【図10】



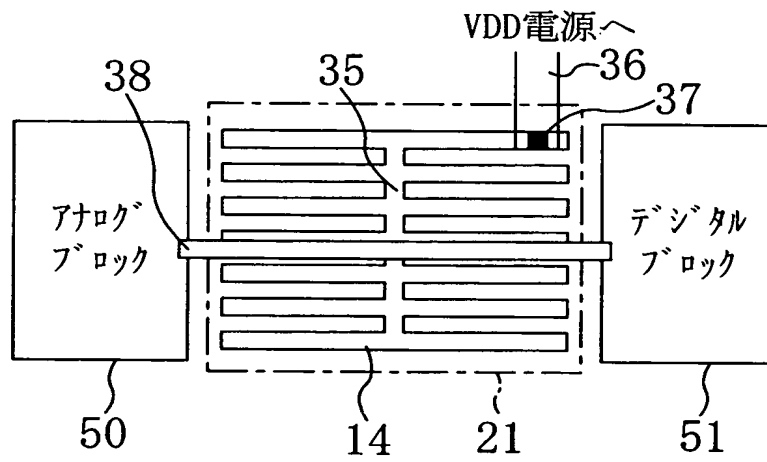
【図 1 1】



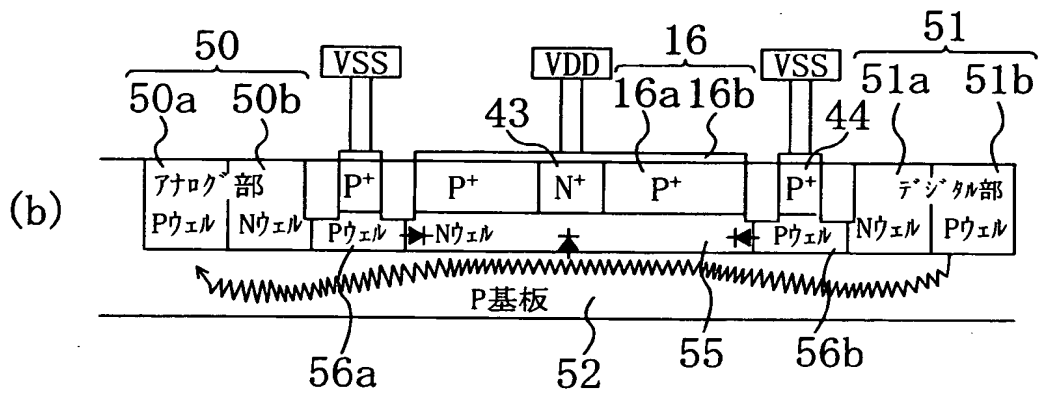
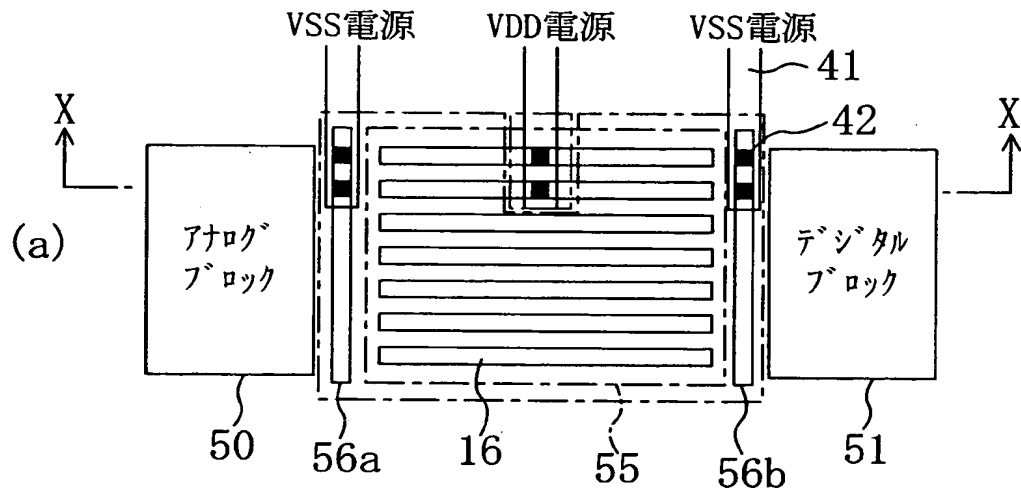
【図 1 2】



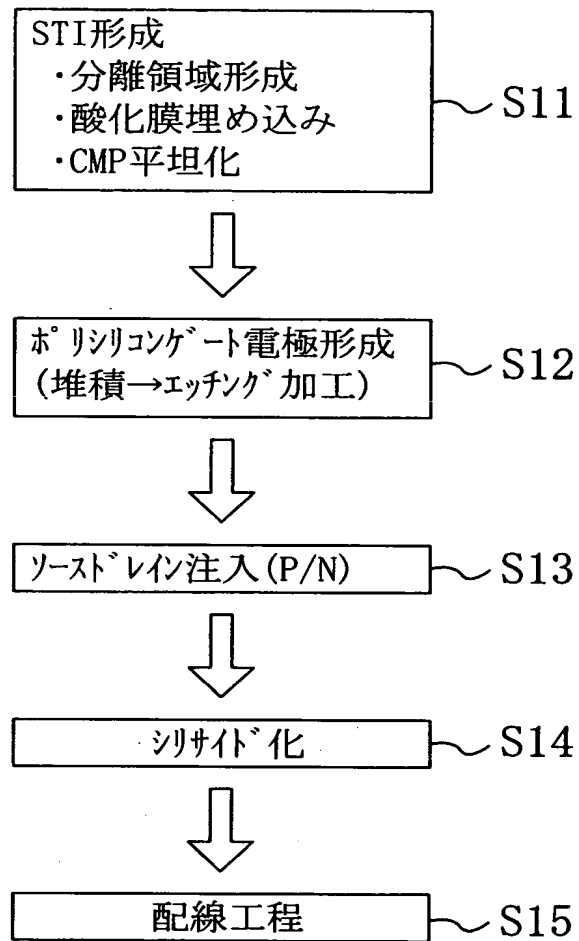
【図13】



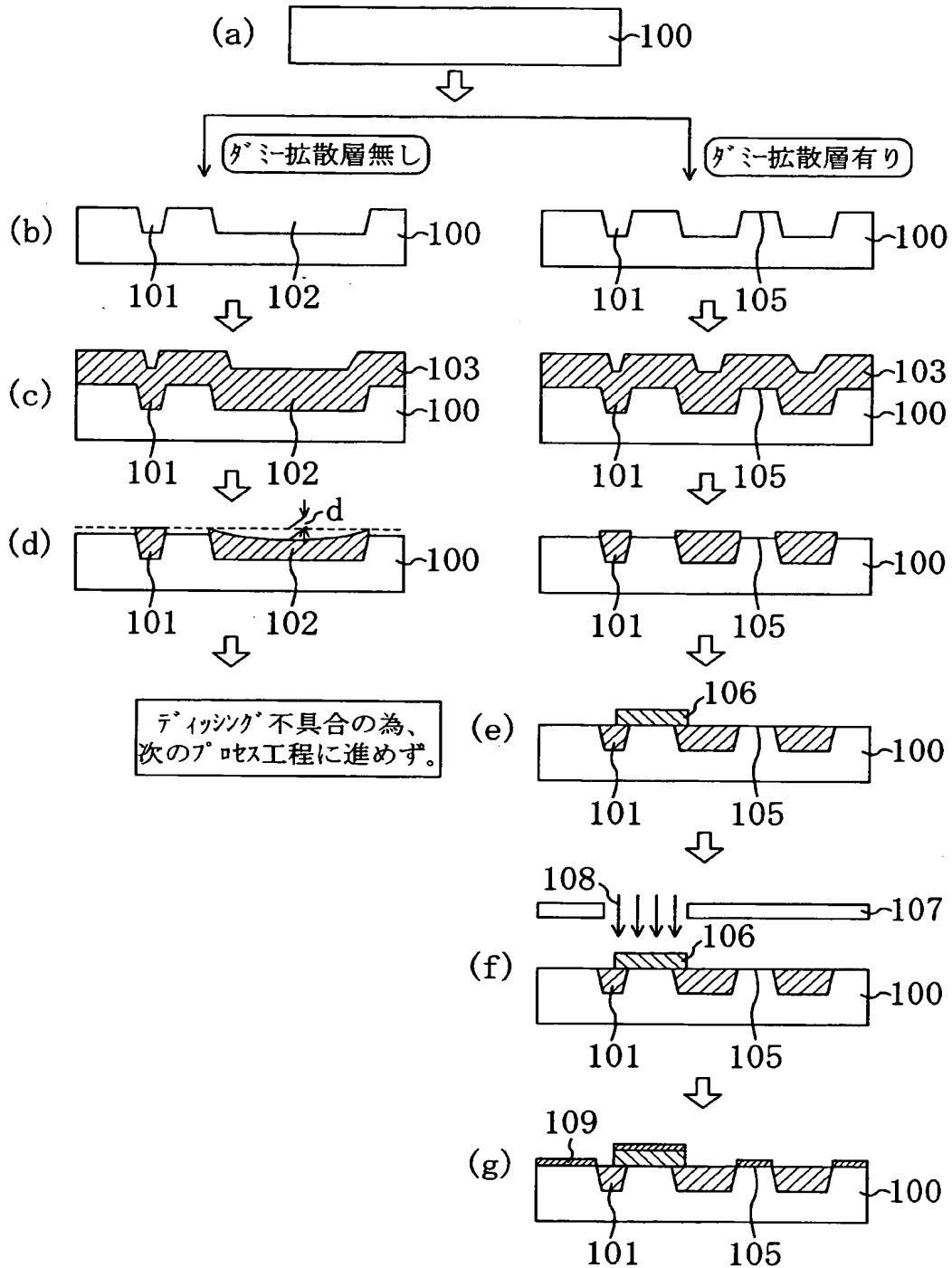
【図14】



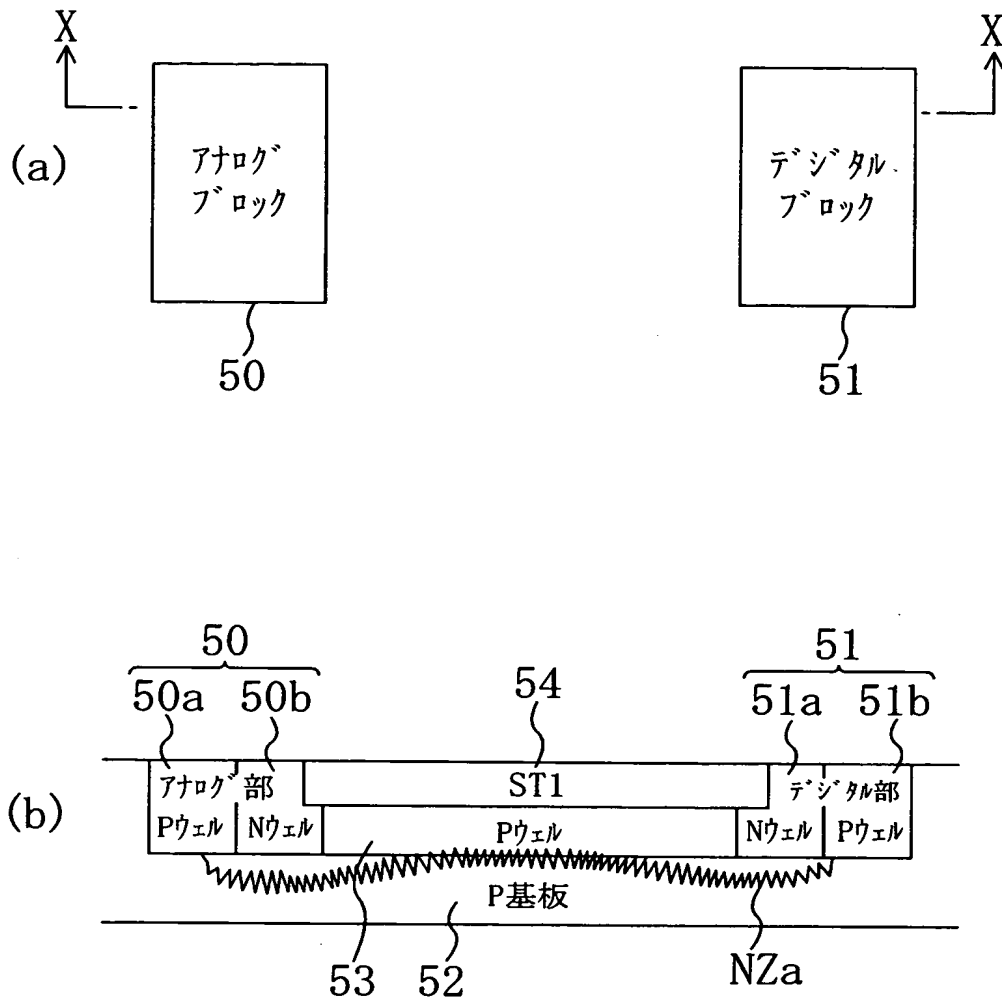
【図15】



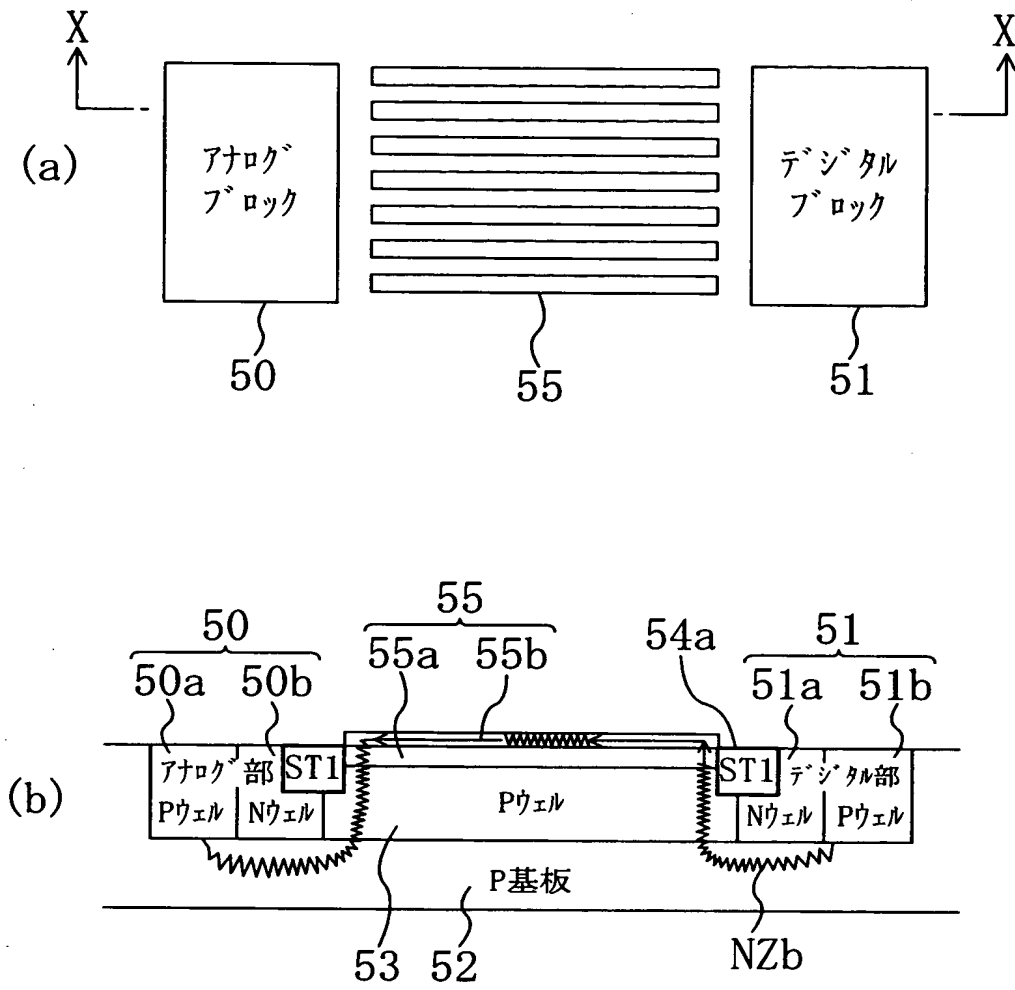
【図 16】



【図17】

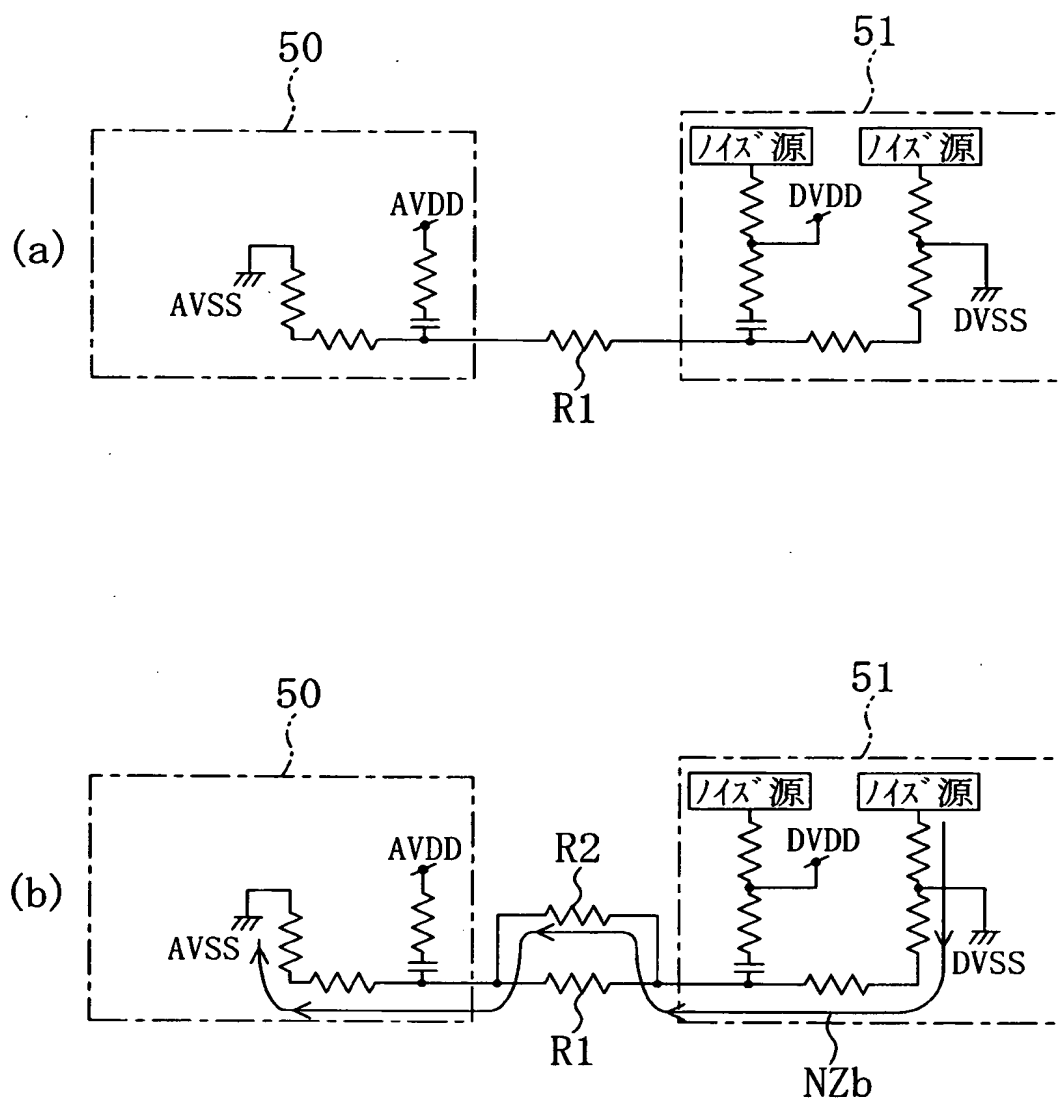


【図18】





【図19】



【書類名】 要約書

【要約】

【課題】 基板にダミー拡散層が形成された半導体装置について、そのノイズ耐性を向上させる。

【解決手段】 アナログブロック 5 0 とデジタルブロック 5 1 との間に、S T I 工程の C M P におけるディッシング対策のために、ダミー拡散層 1 1 を形成する。ダミー拡散層 1 1 の表面はダミーゲート電極 1 3 によって覆われており、シリサイド化が防止されている。また、ダミーゲート電極 1 3 の形成は、通常のトランジスタのゲート電極の形成と併せて実行可能なので、新規の製造工程を追加する必要はない。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社